

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-049414

(43)Date of publication of application : 18.02.2000

(51)Int.Cl.

H01S 5/30

(21)Application number : 10-226509

(71)Applicant : CANON INC

(22)Date of filing : 27.07.1998

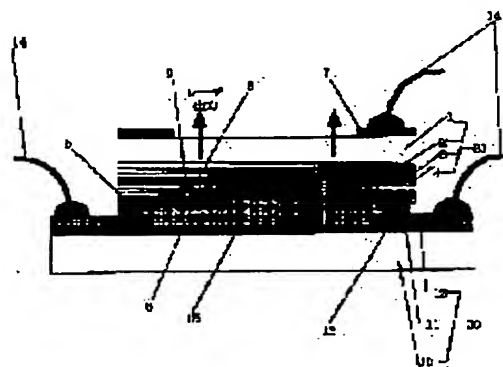
(72)Inventor : ONOUCHI TOSHIHIKO

(54) OPTICAL FUNCTION ELEMENT DEVICE AND OPTICAL TRANSMITTER- RECEIVER, OPTICAL INTERCONNECTION DEVICE AND OPTICAL RECORDER USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an optical function element device provided with constitution capable of improving an yield and productivity in the case of mounting an optical function element, by using a different substrate other than the substrate of the element.

SOLUTION: This optical function element device is provided with the optical function element. For a part of an electrode for injecting a current or applying a voltage to the optical function element, an electrode pad 6 pulled out to a part other than the function part of the optical function element and provided on a first substrate 21, and the electrode pad 12 on a wiring pattern formed on a second substrate 30 different from the first substrate 21 where the optical function element is formed, are joined so as to obtain electric conductivity.



LEGAL STATUS

[Date of request for examination]

13.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-49414

(P2000-49414A)

(43)公開日 平成12年2月18日(2000.2.18)

(51)Int.Cl.⁷

H 0 1 S 5/30

識別記号

F I

H 0 1 S 3/18

ターム(参考)

5 F 0 7 3

審査請求 未請求 請求項の数33 F D (全 16 頁)

(21)出願番号 特願平10-226509

(22)出願日 平成10年7月27日(1998.7.27)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 尾内 敏彦

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100086483

弁理士 加藤 一男

Fターム(参考) 5F073 AA74 AB05 AB15 AB17 AB25

AB27 AB28 BA01 BA06 BA07

CA07 CA17 FA07 FA08 FA15

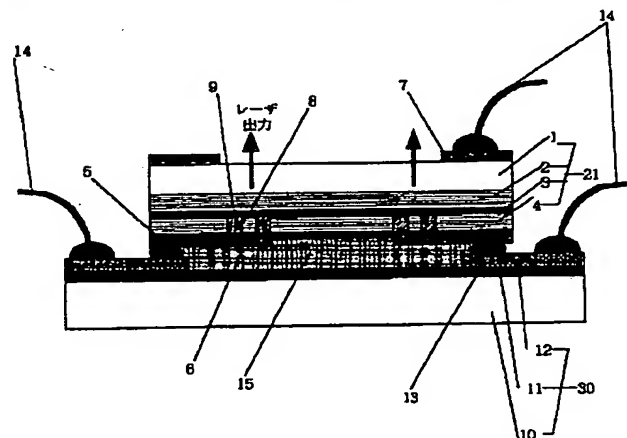
FA16 FA18 FA23 FA24 FA30

(54)【発明の名称】 光機能素子装置、これを用いた光送受信装置、光インターコネクション装置および光記録装置

(57)【要約】

【課題】光機能素子を該素子の基板以外の別基板を用いて実装する場合の歩留まり、生産性を上げることを可能にした構成を持つ光機能素子装置である。

【解決手段】光機能素子装置は光機能素子を有する。光機能素子に電流を注入する或は電圧を印加するための電極の一部は、光機能素子の機能部以外の部分に引き出して第1の基板21に設けられた電極パッド6と、光機能素子が形成された第1の基板21とは異なる第2の基板30に形成された配線パターン上の電極パッド12とを電気的導通が得られる様に接合して成る。



【特許請求の範囲】

【請求項 1】光機能素子を有し、それへ電流を注入する或は電圧を印加するための電極の一部が、該光機能素子の機能部以外の部分に引き出して第 1 の基板に設けられた電極パッドと、該光機能素子が形成された第 1 の基板とは異なる第 2 の基板に形成された配線パターン上の電極パッドとを電氣的導通が得られる様に接合して成り、該第 2 の基板から該光機能素子の機能部に電流注入或は電圧印加可能である様に構成されたことを特徴とする光機能素子装置。

【請求項 2】前記光機能素子への光の入出力が第 1 の基板側から行なうことができる様に構成されていることを特徴とする請求項 1 記載の光機能素子装置。

【請求項 3】前記光機能素子において、光の入出力は光機能素子が形成された第 1 の基板側から行なうことができる様に、第 1 の基板のうち、光機能素子の機能部が形成された領域において、機能層のみ残して基板を除去して窓領域が形成されていることを特徴とする請求項 2 記載の光機能素子装置。

【請求項 4】前記第 1 の基板が、光機能素子の扱う光に対して透明な材料で形成されていることを特徴とする請求項 2 記載の光機能素子装置。

【請求項 5】前記光機能素子への光の入出力が第 2 の基板側から行なうことができる様に構成されていることを特徴とする請求項 1 乃至 4 の何れかに記載の光機能素子装置。

【請求項 6】前記第 2 の基板が、光機能素子の扱う光に対して透明な材料で形成されていることを特徴とする請求項 5 記載の光機能素子装置。

【請求項 7】前記第 2 の基板には、光機能素子に対応する位置に、光機能素子への光の入出力をガイドする手段が設けられていることを特徴とする請求項 5 または 6 記載の光機能素子装置。

【請求項 8】前記第 2 の基板には、光機能素子に対応する位置にマイクロレンズが形成されていることを特徴とする請求項 7 記載の光機能素子装置。

【請求項 9】前記第 2 の基板には、光機能素子に対応する位置にフレネルレンズが形成されていることを特徴とする請求項 7 記載の光機能素子装置。

【請求項 10】前記第 2 の基板には、光機能素子に対応する位置に光ファイバが第 2 の基板に密接して固定されており、光機能素子への光入出力が該光ファイバを介して可能であることを特徴とする請求項 7、8 または 9 記載の光機能素子装置。

【請求項 11】前記第 2 の基板には、前記光ファイバを固定するための穴が形成されていることを特徴とする請求項 10 記載の光機能素子装置。

【請求項 12】前記第 2 の基板の上に、前記光ファイバを固定するための穴が形成された第 3 の基板が接着されていることを特徴とする請求項 7、8 または 9 記載の光

機能素子装置。

【請求項 13】前記光機能素子は、該素子が形成された第 1 の基板面から垂直に光を出射する面型発光素子であることを特徴とする請求項 1 乃至 12 の何れかに記載の光機能素子装置。

【請求項 14】前記面型発光素子は半導体結晶で構成され、活性層の両側に反射ミラーを備えた面型半導体レーザであることを特徴とする請求項 13 記載の光機能素子装置。

10 【請求項 15】前記光機能素子は、該素子に照射された光を電氣に変換する光検出器であることを特徴とする請求項 1 乃至 12 の何れかに記載の光機能素子装置。

【請求項 16】前記電極パッドの電氣的導通を得ながら接合する手段が、電極パッド上にハンダをメッキ等で形成して加熱することであることを特徴とする請求項 1 乃至 15 の何れかに記載の光機能素子装置。

【請求項 17】前記電極パッドの電氣的導通を得ながら接合する手段が、電極パッド上に異方導電性接着剤或は導電性接着剤を塗布して加熱する工程を含むことであることを特徴とする請求項 1 乃至 15 の何れかに記載の光機能素子装置。

20 【請求項 18】前記電極パッドの電氣的導通を得ながら接合する手段が、表面電極同士を圧着することであることを特徴とする請求項 1 乃至 15 の何れかに記載の光機能素子装置。

【請求項 19】前記電極パッドの電氣的導通を得ながら接合されていると共に、光機能素子の機能部と第 2 の基板との間に、周囲と電氣的に絶縁された金属バンプを配置して該機能部で発生する熱を第 2 の基板に有効に放熱できる構造を持つことを特徴とする請求項 1 乃至 18 の何れかに記載の光機能素子装置。

30 【請求項 20】前記電極パッドの電氣的導通を得ながら接合されていると共に、光機能素子の機能部と第 2 の基板との間にできた空隙に樹脂が充填された構造を持つことを特徴とする請求項 1 乃至 19 の何れかに記載の光機能素子装置。

【請求項 21】前記第 2 の基板に形成した前記配線パターン上の電極パッドは、光機能素子が形成された領域の外側に設けられていることを特徴とする請求項 1 乃至 20 の何れかに記載の面型発光素子装置。

40 【請求項 22】前記第 2 の基板に形成された電極配線は、直接あるいは第 3 の配線基板を介してパッケージ、他の電子機能素子あるいは電氣回路が形成されたプリント基板に実装されることを特徴とする請求項 1 乃至 21 の何れかに記載の光機能素子装置。

【請求項 23】前記第 1 の基板がヒートシンクとしても働くパッケージ内面に全面的に接合されていることを特徴とする請求項 1 乃至 22 の何れかに記載の光機能素子装置。

50 【請求項 24】前記第 2 の基板は半導体単結晶であり、

第2の基板に電子機能素子が集積化されて、前記光機能素子の駆動や制御の回路を同一基板上に備えていることを特徴とする請求項1乃至23の何れかに記載の光機能素子装置。

【請求項25】前記電極パッドの電気的導通を得ながら接合する時に生じる恐れのある第1の基板端面の短絡の影響を避けるために、前記光機能素子の光機能部の領域の外周部に第1の基板から光機能層までエッチングして溝が形成されていることを特徴とする請求項1乃至24の何れかに記載の光機能素子装置。

【請求項26】前記光機能素子は第1の基板上に複数集積化しており、第1の基板上において、該集積された光機能素子の機能部の周囲に前記電極パッドが配置される様に各光機能素子に電流注入或は電圧印加するための配線パターンが形成されていることを特徴とする請求項1乃至25の何れかに記載の光機能素子装置。

【請求項27】前記光機能素子は、該素子が形成された第1の基板面から垂直に光を出射する面型発光素子と該素子に照射された光を電気に変換する光検出器の機能部が同一領域に集積化された構造を有することを特徴とする請求項26記載の光機能素子装置。

【請求項28】前記光機能素子の機能部間の光、電気および熱の相互干渉を避けるために、各機能部間の第1の基板および機能層をエッチングして溝が形成されていることを特徴とする請求項26または27記載の光機能素子装置。

【請求項29】前記光機能素子に電流注入或は電圧印加するための配線パターンは独立駆動型で形成されていることを特徴とする請求項26、27または28記載の光機能素子装置。

【請求項30】請求項11または12記載の光機能素子装置の光ファイバを固定するための穴の作製方法が、面型発光素子である前記光機能素子に電流を注入して発光させる工程と、該発光した光を目印としてホトマスクのアライメントを行なう工程と、該ホトマスクを用いてパターンニングを行なって第2の基板或は第3の基板にエッチングにより穴を形成する工程を含むことを特徴とする光機能素子装置の製造方法。

【請求項31】請求項1乃至29の何れかに記載の光機能素子装置を光源として用いて、信号を載せた該光源からの光を記録媒体にあてることを特徴とする光記録装置。

【請求項32】請求項1乃至29の何れかに記載の光機能素子装置を送信機として備えたことを特徴とする光送受信装置。

【請求項33】請求項32記載の光送受信装置を用いてボード間の並列伝送、処理を行なうことを特徴とする光インターコネクション装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、作製が容易で歩留まりが高く、2次元アレイ型などの構成にするのに適した面型半導体発光/受光デバイスなどの光機能素子装置、およびそれを用いた光送受信装置、光インターコネクション装置、光記録装置等に関する。

【0002】

【従来の技術】大容量並列光情報処理、高速光接続、高速記録技術、薄型表示素子などへの応用のため、2次元アレイ型の面型固体発光素子の開発が望まれている。これらの応用のためには、低コスト、低消費電力、高生産性、高信頼性などがこうした発光素子に対して必要条件となる。発光素子の材料としては様々なものが研究開発されているが、信頼性を確保するためには半導体単結晶は非常に適しており、特に化合物半導体を用いた面型発光素子の開発が盛んに行われている。

【0003】また、発光素子のなかでも両端面に反射ミラーを備えたレーザダイオード(LD)では、自然発光に比べて非常に発光効率が高く、2次元アレイ化した場合にも消費電力を小さくすることができる。この様な観点から面型の半導体レーザ(Vertical Cavity Surface Emitting Laser:VCSEL)の開発が近年活発に行なわれている。

【0004】現在、VCSELも波長400nm程度の青色から通信波長帯である1.55μmまで開発されつつあり、サファイア基板上的AlGaIn/InGaIn系、GaAs基板上的InGaAlP/InAlP系、InGaAs/AlGaAs系、InP基板上的InGaAs/InGaAsP系などの材料系で研究されている。VCSELの基本的な構造を図18に示す。これは、基板から垂直にレーザ光を出射し、数μm厚程度のエピタキシャル成長層1003の両面に99%以上の高反射膜1002、1004を備える構造となっている。反射膜としては、屈折率の異なるλ/4厚の膜を多層にしたものが主に用いられ、材料としては、誘電体ガラス、あるいはエピ成長した半導体(例えばAlAs/GaAs多層膜:ELECTRONICS LETTERS, 31, p.560(1995)参照)などが一般的である。尚、図18において、1001はレーザ用基板、1005は絶縁膜、1006は電極、1007はレーザ機能部、1008はレーザ基板側電極、1009は埋め込み層、1010は電極1006の窓領域である。

【0005】このVCSELの実装方法も幾つか提案されている。例えば、特開平8-186326号公報では、図19の様に、レーザ出力に対して透明なパッケージ兼ヒートシンクに熱的接合および電気的接合を得る様に実装する方法が開示されている。この場合、各VCSELに対応してヒートシンク側に配線が形成され、電気的接合は、該VCSELの部分でハンダ加熱あるいはAu同士の超音波接合によって電気的接触が得られている。尚、図19において、1110は樹脂モールド体、

1111はレーザ電極、1112はレーザ基板、1113、1117は反射膜、1114、1116はクラッド層、1118は電流ブロック層、1119はキャップ層、1120はパッケージ窓、1121はパッケージ窓側電極である。

【0006】また、特開平6-237016号公報では、図20の様に、電子回路が形成された基板1201に電気配線を設けて、やはり、これと各VCSEL1203とが電氣的接点を得る様に固定されており、さらにVCSEL基板1202に穴を開けて光ファイバ1210をも実装する方法が開示されている。この際、VCSEL1203の下にはトランジスタ1204が実装されており、該VCSELのカソードと該トランジスタのコレクタが接続する様に実装されている。尚、図20において、1205はエミッタ電極、1206はベース電極、1207はアノード電極、1208は絶縁膜、1209はガイド穴、1211は接着剤である。

【0007】また、VCSELをアレイ化した場合には、特開平9-15459号公報にある様に、支持基板1305側に配線1304を設けて各VCSEL1302との接続を得る様に実装している（図21参照）。尚、図21において、1301は半導体基板、1303は光ファイバのガイド穴、1306は光ファイバテープ、1307は光ファイバのコア、1308は光ファイバのクラッド、1309は光ファイバ心線、1310は被覆材、1311は光ビーム、1312は光ファイバ心線の露出長である。

【0008】

【発明が解決しようとする課題】この様な従来の実装例では、個々のVCSELの上面（エピタキシャル層面）に形成された電極パッドと該VCSELに対応する様な位置に電極パッドを持つ配線基板とを、パッド同士の電氣的接続を取りながら接合するものであった。しかしながら、この様な実装方法では、2次元アレイ化したVCSELの密度が高くなった場合、あるいは高速応答を重視するために電極パッドの大きさを小さくした場合などに、VCSELのパッドと配線基板のパッドを貼り合わせるときのアライメント精度が要求される。これは、パッド同士の位置合わせはもちろんであるが、配線基板上の他の配線とショートしない様にアライメントおよび接合しなければならないからである。密度が高くなるとパッドの間に多くの配線を通す様になるためショートする確率が増加する。このため、貼り合わせる面を直接モニタできないこの方法ではアライメントが困難であり、歩留まりや、生産性の低下につながっていた。

【0009】また、ハンダで接合を得る場合には、溶融したハンダがレーザ光を取り出すべき窓に流れ出して光を遮ったり、ハンダがAu電極を溶かすためにVCSELとのオーミック接触抵抗を上昇させる問題点があった。また、Au電極同士を直接超音波などで接合する場

合も、接合点がVCSELに近い場合には、VCSELにダメージを与えて特性劣化を招くことがあった。

【0010】また、VCSELからの光を取り出す場合に、図19（特開平8-186326号公報）の例ではヒートシンク窓1120から出射光を空間伝送させる或は光ファイバに結合させる場合に、レンズが必須であるため光学系が複雑になりコストが上昇するという問題点があった。

【0011】一方、図20（特開平6-237016号公報）の例ではレーザ光に対して透明なレーザ基板1202を用いなければならないので（図20では基板1202が完全に除かれてガイド穴1209が形成されている様に見えるが、実際には基板1202部分がVCSEL1203とガイド穴1209の間に残らない様に作製するのは難しく、歩留まり低下につながる）、使用できる波長帯が限られている。さらに、レーザ光をファイバ1210に結合する方法としてレーザ基板1202にガイド穴1209を設ける方法が開示されているが、穴の位置のアライメントが難しく、さらにレーザ光をレンズなしでファイバ1210に結合させるために結合ロスが小さくできない、ファイバ差込時にレーザにダメージを与えることがあるなどの問題点があった。

【0012】この様な課題に鑑み、本発明の目的は、光機能素子を該素子の基板以外の別基板を用いて実装する場合の歩留まり、生産性を上げて低コスト化を図ることを可能にした構成を持つ光機能素子装置、およびそれを用いた光送受信装置、光インターコネクション装置、光記録装置等を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成する本発明の光機能素子装置は、少なくとも1つの光機能素子を有し、それへ電流を注入する或は電圧を印加するための電極の一部は、該光機能素子の機能部以外の部分に引き出して第1の基板に設けられた電極パッドと、該光機能素子が形成された第1の基板とは異なる第2の基板に形成された配線パターン上の電極パッドとを電氣的導通が得られる様に接合して成り、該第2の基板から該光機能素子の機能部に電流注入或は電圧印加可能であることを特徴とする。光機能素子の機能部から離れた位置に設けられた電極パッドまで引き出す配線を第1の基板上に設けて、他の配線基板の電極パッドと電氣的導通が得られる様に接合することで、光機能素子のピッチ（光機能素子を複数設ける場合）、大きさに関係なく接合するときのアライメント精度、光機能素子へのダメージ等を軽減することができるため、歩留まり、生産性が向上する。

【0014】上記基本構成に基づいて、以下の様なより具体的な形態が可能である。前記光機能素子への光の入出力が第1の基板側から行なうことができる様に構成されている。この様にする為、例えば、第1の基板のうち、光機能素子の機能部が形成された領域において、機

能層のみ残して基板を除去して窓領域が形成されている。これにより、上記基本構成の様に実装した場合の光の入出力方法および実装された光機能素子の他素子との結合方法を提供でき、波長帯に関係なく光機能素子の第1の基板側から光の入出力を行なえる。この様にする為には、第1の基板が、光機能素子の扱う光に対して透明な材料で形成されている様にしてもよい。

【0015】前記光機能素子への光の入出力が第2の基板側から行なうことができる様に構成されている。この様にする為には、例えば、第2の基板が、光機能素子の扱う光に対して透明な材料で形成されている。

【0016】第2の基板側から光の入出力を行なう場合において、第2の基板には、光機能素子に対応する位置に、光機能素子への光の入出力をガイドする手段が設けられている。これにより、上記基本構成の様に実装した場合の光の入出力の光機能素子への光結合の効率を高めることである。このガイド手段としては、前記第2の基板に、光機能素子に対応する位置にマイクロレンズ、フレネルレンズなどを形成してもよい。配線基板の光機能素子に対応する位置にマイクロレンズ、フレネルレンズなどを形成することで、光のコリメート集光等が可能になり、光入出力の結合効率を上げることができる。また、第2の基板に、光機能素子に対応する位置に光ファイバが第2の基板に密接して固定されており（例えば、第2の基板に、光ファイバを固定するための穴を形成する）、光機能素子への光入出力が該光ファイバを介して可能である様にしてもよい。これにより、光機能素子とその光の入出力を行なう光ファイバとが一体化された装置を提供できる。

【0017】第2の基板の上に、前記光ファイバを固定するための穴が形成された第3の基板が接着される様にしてもよい。

【0018】前記光機能素子は、該素子が形成された第1の基板面から垂直に光を出射する面型発光素子（典型的には、半導体結晶で構成され、活性層の両側に反射ミラーを備えた面型半導体レーザ）であったり、該素子に照射された光を電気に変換する光検出器であったりする。

【0019】前記電極パッドの電気的導通を得ながら接合する手段は、電極パッド上にハンダをメッキ等で形成して加熱することであったり（光機能素子側あるいは配線基板側の電極パッドにハンダをメッキしておくことにより、互いに対応する電極パッドとのアライメントを行なって加熱すれば、簡単に電気的および機械的結合が得られる）、電極パッド上に異方導電性接着剤或は導電性接着剤を塗布して（加圧しながら）加熱することであったり（光機能素子側あるいは配線基板側の電極パッドに異方導電性接着剤或は導電性接着剤を塗布しておくことにより、互いに対応する電極パッドとのアライメントを行なって（加圧および）加熱すれば、簡単に電気的および

機械的結合が得られる）、表面電極同士を圧着することであったりする（光機能素子側および配線基板側の互いに対応する電極パッドのアライメントを行なって加圧すれば、圧着により電気的および機械的結合が得られる。このとき超音波を加えるか、電極パッドに凹凸を形成するかしておくことにより、より簡単に圧着できる）。

【0020】前記電極パッドの電気的導通を得ながら接合されていると共に、光機能素子の機能部と第2の基板との間に、周囲と電気的に絶縁された金属バンプを配置して該機能部で発生する熱を第2の基板に有効に放熱できる構造を持つ。光機能素子と配線基板との間に電気的に独立した金属バンプを形成して、電極同士の接合と同時にバンプと光機能素子の圧着を行なえば、機能素子の放熱効果が得られる。

【0021】前記電極パッドの電気的導通を得ながら接合されていると共に、光機能素子の機能部と第2の基板との間にできた空隙に樹脂が充填された構造を持つ。これにより、上記の様に実装する場合の光機能素子の密着強度を増せ、実装の機械的強度を増すことができる。

【0022】第2の基板に形成した前記配線パターン上の電極パッドは、光機能素子が形成された領域の外側に設けられている。これによって、上記基本構成の目的を有効に達成できる。

【0023】第2の基板に形成された電極配線は、直接あるいは第3の配線基板を介してパッケージ、他の電子機能素子あるいは電気回路が形成されたプリント基板に実装される。これにより、上記の様に実装した場合の光の入出力方法および実装された光機能素子の他素子との結合方法を提供できる。例えば、配線基板をさらに他の配線基板を接合して、ICパッケージあるいはプリント基板等を実装することで、駆動回路もまとめて容易に小型に一体化できる。また、配線基板に光に対して透明な材料を用いることで、配線基板側からの光の入出力が可能で、ICパッケージあるいはプリント基板等を実装することで、駆動回路もまとめて容易に小型に一体化できる。

【0024】第1の基板が全面的にヒートシンクとしても働くパッケージ内面に接合されている。これによっても、光機能素子の有効な放熱手段を提供できる。

【0025】第2の基板は半導体単結晶であり、第2の基板に電子機能素子が集積化されて、光機能素子の駆動や制御の回路を同一基板上に備えている。配線基板に半導体単結晶基板を用いて、光機能素子の駆動素子を該基板上に作製できて、小型の光送受信器などが提供できる。

【0026】前記電極パッドの電気的導通を得ながら接合する時に生じる恐れのある第1の基板端面の短絡の影響を避けるために、光機能素子の光機能部の領域の外周部に第1の基板から光機能層までエッチングして溝が形

成されている。これにより、上記の様に実装する場合の光機能素子を形成した基板の端面の影響を除去でき、接合時の基板のショートの影響を回避できる。

【0027】光機能素子は第1の基板上に複数集積化しており、第1の基板上に、該集積された光機能素子の機能部の周囲に前記電極パッドが配置される様に各光機能素子に電流注入或は電圧印加するための配線パターンが形成されている。本発明の構成は、特に集積化した場合に効果を発揮するものであり、各光機能素子のピッチ、大きさに関係なく接合するときのアライメント精度、光機能素子へのダメージ等を軽減することができる。この場合、光機能素子は、該素子が形成された第1の基板面から垂直に光を射出する面型発光素子と該素子に照射された光を電気に変換する光検出器の機能部が同一領域に集積化された構造を有するものであってもよい。また、前記光機能素子の機能部間の光、電気および熱の相互干渉を避けるために、各機能部間の第1の基板および機能層をエッチングして溝が形成されるようにしてもよい。

【0028】前記光機能素子に電流注入或は電圧印加するための配線パターンは独立駆動型で形成されている。マトリックス駆動となる様に配線もできるが、独立駆動型の配線パターンも容易に実現できる。

【0029】また、上記目的を達成する本発明の光機能素子装置の光ファイバを固定するための穴の作製方法は、面型発光素子である前記光機能素子に電流を注入して発光させる工程と、該発光した光を目印としてホトマスクのアライメントを行なう工程と、該ホトマスクを用いてパターンニングを行なって第2の基板或は第3の基板にエッチングにより穴を形成する工程を含むことを特徴とする。これにより、光ファイバとが一体化された光機能素子装置を製造するに際し、セルフアライン的に精度、歩留まり良く光ファイバガイド穴を作製できる。

【0030】また、上記目的を達成する本発明の光記録装置は、光機能素子装置を光源として用いて、信号を載せた該光源からの光を記録媒体にあてることを特徴とする。これにより、上記光機能素子装置を用いてプリンタ、CD-ROM等の光記録を行なえ、安価な光記録装置を提供できる。

【0031】また、上記目的を達成する本発明の光送受信装置は、上記光機能素子装置を送信機として備えたことを特徴とする。これにより、上記光機能素子装置を用いて光情報伝送を行なえ、安価な光情報伝送装置を提供できる。また、本発明の光インターコネクション装置は、上記の光送受信装置を用いてボード間の並列伝送、処理を行なうことを特徴とする。

【0032】具体例を用いて、本発明の原理、特徴を以下に説明する。例えば、 8×8 の2次元アレイVCSELの実装を考える。個々のVCSELの位置で電氣的接合を得ることは課題のところ述べてきた様に困難であるため、図2に示す様に、VCSELの上面（エピタキシャ

ル層面）に、VCSELアレイ領域の外側に電極パッドが配置される様に配線パターンを引き出し線として形成する。このとき該配線は各対応するVCSELの部分のみにオーミック接触を得ており、それ以外の領域では絶縁膜（ SiO_2 、 SiN_x 等）でアイソレーションされている。各VCSELの構成は、例えば図18の従来例の様に、 $\text{GaAs}/\text{AlGaAs}$ 多重量子井戸活性層を1波長共振器長になる様にスペーサ層を介して AlAs/GaAs エビミラーで挟んだ構造になっている。光の取り出し方は波長によって異なるが、基板側から取り出せる場合は基板側に電極の窓を開け、図18の様にエピタキシャル層側から取り出す場合はエピタキシャル層上面の電極に窓を設ける。

【0033】この様にVCSEL基板上に引き出し電極を形成することは公知であるが、VCSEL基板上の電極パッドからワイヤボンディングでパッケージや他のデバイスとの電氣的接続を行なう場合、ボンディング時のダメージなどで歩留まりが低下する問題がある。

【0034】一方、配線基板側は、簡単な例として図3の様なVCSELのサブマウントを形成する。材料は、 Si や GaAs などの半導体、 AlN や Al_2O_3 などのセラミック、サファイアやダイヤモンドなどの単結晶など、熱伝導性のよいものを使用したが、用途によってはプリント基板等でもよい。もちろん、 Si 基板等を使用する場合には、同一表面あるいは裏面に電子回路、光検出器等が集積されていてもよい。VCSELアレイの外側に配置された各パッドと対応する様にパッドが形成され、該パッドから更に電極が引き出せる様にパターンを形成している。

【0035】この様に、VCSELアレイ領域の外側に引き出された電極パッド同士で接合する場合には、電極形状、サイズ、間隔は自由に設計できアライメント精度を軽減することができるために、歩留まり、生産性の向上につながる。また、接合点がVCSELから離れているために、接合時にVCSELにダメージを与えることはない。

【0036】パッド同士の接合は、一般的にはパッドにハンダをメッキ等で形成しておき加圧しながら加熱すればよい。断面形状のイメージとしては図1のようになる。この接合には、 Au パッド同士を合わせて超音波をかける方法、あるいは表面に凹凸を形成して加圧して直接接合する方法もある。また、導電粒子を含んだ接着剤いわゆる異方導電性接着剤を塗布して、加圧、加熱接着してもよい。この場合、配線パターンをメッキ等で $10\mu\text{m}$ 以上の厚膜にしておけばパンプとして作用するため、隣接するパターンとの接触を防げられる。

【0037】光の取り出し方にはいろいろあり、 GaAs 基板上で $0.98\mu\text{m}$ 帯で発振するVCSELでは、図1の様に直接VCSELを形成した基板側から取り出せばよい。この場合は、エピタキシャル層面の電極は窓

開けをする必要がなくなる。また、このとき図4の様に、放熱性を上げるために、各VCSELの下に配線とは関係なく電気的には独立したAuパンプ等を設けて、電極パッド同士の接合時に同時に対応したVCSELと接合される様にしてもよい。

【0038】0.85 μ m帯、0.77 μ m帯の様にVCSEL基板が吸収体になる場合には、図5の様にVCSELアレイ領域のみ基板を除去して、エピミラー面が現れる様にエッチングすればよい。一方、配線基板としてサファイア、ダイヤモンド等の透明基板を用いるときは、図6の様に配線基板側から光を取り出すことができる。

【0039】更に、図11の様に、サブマウント（ガラス基板）の各VCSELに対応した位置に形成したマイクロレンズを介してコリメートした光として取り出す場合には、どの様な波長帯でも対応できる。このときレーザ基板とサブマウントとの位置のアライメントは、レーザを光らせながらマイクロレンズを通して出力光をモニタすることで簡単に行う事ができる。さらに、光ファイバを実装する場合に、図13の様に第3の基板を貼り付けてここにガイド穴を形成してガイド穴に光ファイバを差し込むことで簡単に実装できる。このガイド穴の形成に際し、レーザ光に対して透明な基板を用いた場合には、図14の様にレジストを塗布してレーザを光らせて該レジスト露光する時のアライメントマークとして利用する事により、セルフアラインでガイド穴の位置合わせができる。このために生産性が向上し、低コスト化できる。実際にファイバを差し込む場合も、レーザにダメージを与えることがないために歩留まりが向上する。もちろん、図15の様に1枚の基板でマイクロレンズとファイバガイド穴の両方の機能を備えてもよい。また、上記のセルフアライン工程はマイクロレンズの作製にも応用できる。

【0040】一方、配線基板としてマイクロレンズアレイつきガラスではなくSi基板を用いた場合には、図16の様にVCSELアレイの領域のみホールエッチングを行えば、Si基板が吸収体となる波長でも対応できる。この穴領域にファイバテープあるいは平板マイクロレンズアレイ、ボールレンズを嵌め込む様な形でもよい。また、平板マイクロレンズ以外にも図17の様なフレネルレンズアレイをサブマウントにする方法でもよい。

【0041】

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて説明する。

【0042】（第1実施例）本発明による第1の実施例は、0.98 μ m帯の8 \times 8の2次元VCSELアレイに本発明の考え方を適用したものである。図1において、VCSELウェハ21は、InGaAs/GaAs歪み2重量子井戸活性層とAlGaAsスペーサ層からなる1波長共振器3を、AlAs/AlGaAsの1/

4波長厚の多層膜（20 \sim 30組程度）から成るDBR（分布反射）ミラー2および4で挟む様にMOVPE（有機金属気相成長）法などによってGaAs基板1上にエピタキシャル成長した構造となっている。DBRミラー4の最上層は電極コンタクトを取り易い様にハイドロプのGaAs層となっている。

【0043】発光領域8に電流狭窄を行なうため、円環状に活性層3近傍までエッチングした後、ポリイミド9で凹部を埋め込んで平坦化し、そこにSiN_x等の絶縁膜6を形成して窓開けしてから電極6を形成している。この際、円環状にエッチングして現れたDBRミラー4の側面のAlAs層のみ選択酸化して、更に電流狭窄化してもよい。

【0044】電極6は、図2の様にVCSELアレイ領域20から外に電極パッド6を引き出す様に配線パターンが形成されている。本実施例では、蒸着によるCr/Auを電極として用いたが、配線の長さによっては抵抗低減のためにAuメッキによる厚膜にしてもよい。また、ハンダ接合するときの密着を増すためおよび半導体とのコンタクト抵抗の低減のために、Ti/Pt/Au等から成る密着/バリア/配線層で形成してもよい（Tiは半導体との密着が良く、Ptはハンダに溶けないのでバリアとなり、Auはハンダに溶けて合金を作る）。また、本実施例でのサイズは、VCSELの発光領域8が10 μ m ϕ 、その間隔が125 μ mであり、従ってVCSELアレイ領域20は875 μ m \square 、全体のチップ21は3mm \square としたが、もちろんサイズは自由に設計できる。VCSELのGaAs基板1側の電極7はAuGe/Auで形成し、アレイ領域20の部分だけ除去して基板1側から光を取り出せる構造としている（GaAs基板1は0.98 μ m帯の光に対して透明である）。

【0045】一方、VCSEL基板21を実装するサブマウント30には、図3に示す様なパターンを形成した。すなわち、VCSELの各発光領域8に対応する電極パッド6に合う様に電極パッドが形成してあり、その外側に電極12を引き出す様なパターンとしている。サブマウント30は、図1に示す様に、Si基板10上に熱酸化により形成したSiO₂膜11の上に配線12がCu/Ni/Auのメッキ等により形成してある。さらに、この電極パッド部にはハンダ13がやはりメッキ等により形成してある。こうして、VCSEL基板21と配線基板30をアライメントして加熱することで簡単に電氣的接合及び機械的結合が得られる。

【0046】この電氣的接合はハンダを使う手段以外に、Au電極同士を圧着あるいは超音波をかけて接合する方法もある。また、導電粒子（4 \sim 10 μ m程度の大きさである）の入った異方導電性接着剤を塗布して加圧、加熱してもよい。この場合、Au配線をメッキで形成して10 μ m以上の厚さにしておけば、導電粒子の大きさとの関係から接着剤の異方性（垂直方向には導電性

を持つが横方向は絶縁する)を引き出すことができ、歩留まり良く隣り合う配線の絶縁を取りながら対応する電極間の接合ができる。

【0047】なお、電極の接合によって形成された空隙15はそのままでもよいし、樹脂などを充填してもよい。また、本実施例では、配線のパターンは各デバイス独立駆動型としているが、マトリックス駆動となる様に配線してもよい。この場合は、例えば、VECSELのエピタキシャル層側の電極6を、2次元アレイの一方の方向の行について、接続して配線してVECSEL領域20外の電極パッドアレイに引き出し、基板1側は、電極分離をエピタキシャル層側と同様に行い(例えば、上から見てます目状に基板1から活性層3の下辺りまでエッチングしてそこに絶縁材料を埋め込んで平坦化する)、こうして分離されたVECSELの基板側の電極7を、2次元アレイの他の一方の方向の列について、接続して配線してVECSEL領域外の電極パッドアレイに引き出す必要がある(後述する図10を参照)。

【0048】浅いボックス形状のパッケージに上記の構造を収めるときには、配線基板30をパッケージの内部底面上にダイボンディングし、各電極ないし電極パッドをワイヤボンディング14によりパッケージの側壁に設けられたピンと接続すればよい。このパッケージはプリント基板などに装着されて使用される。

【0049】本実施例では、VCSEL基板21と配線基板30を貼り合わせるときのアライメントに精度が要求されないため、歩留まり、生産性が向上する。また、VCSEL近傍での接合等の作業がないために、VCSELへの特性劣化などのダメージがない。

【0050】(第2実施例)本発明による第2の実施例は、VCSELの放熱性を改善するために図4の様に各発光領域8の下に放熱構造を設けるものである。その他の構造、すなわち、VCSEL構造、配線構造等は第1実施例と同様である。

【0051】配線基板30の各VCSELに対応する場所に、大きさが100 μm 程度で高さが配線基板30の配線12とハンダ13を合わせた程度の厚さになる様に、Auなどの金属でドット40をメッキなどで形成しておく。このAuドット40は電気的には互いに独立で、配線には全く関係ないものである。VCSEL基板21を貼り合わせるときに加圧することで、このAuドット40とVCSELの電極6が圧着され、熱的な導通が得られるようになる。これにより、VCSELの発振特性の向上につながる。すなわち、しきい値電流の低減、最大パワーの向上、隣接するVCSEL間の熱的クロストークの低減が可能になる。

【0052】このAuの圧着には、Auドット40の表面に10 μm ピッチ程度の凹凸を形成しておく、と、圧着しやすく、また強度を増すことができる。また、電極パッド同士の接合の様に、超音波やハンダを用いてもよ

い。VCSELへのダメージが問題になる場合は、発光領域8の大きさだけ中心をくり貫いた円環状のAuドット40を形成すればよい。

【0053】第1、第2の実施例では、GaAs基板上のAlGaAs/GaAs系の例を示してきたが、もちろん他の材料、すなわち青色発光のGaN系、GaAs基板上の長波材料であるGaInNAsなどでも同様のことが実現できる。

【0054】(第3実施例)本発明による第3の実施例は、図5に示す構造の様にVCSELアレイの領域だけVCSEL側の基板51をエッチングにより除去して光を取り出すものである。

【0055】GaAs系のVCSELでも波長が0.9 μm 以下の場合、GaAs基板が吸収体になってしまうため、VCSEL基板側から光を取り出す場合には基板を除去する必要がある。本実施例では、DBRミラー2、4は第1、第2の実施例と同様にAlAs/AlGaAs多層膜になっているが、活性層53がGaAs/AlGaAs系の多重量子井戸になっているところが若干異なる。

【0056】第2実施例の様に、Auドット40で放熱性を良くする構造にしてあるが、このAuドット40は基板51を除去した後の補強台としても機能する。また、空隙には樹脂15を充填している。基板51のVCSELアレイ領域部分の除去(基板51を除去した領域を50で示す)は、過酸化水素水とアンモニアの混合液で行う。この混合液でGaAsとAlAsの選択エッチが可能であるため、DBRミラー2面でエッチングを簡単に止めることができる。

【0057】本実施例の基板除去はGaAs系のもので述べたが、InP系の様に誘電体ミラーを形成する必要がある場合にも本構造が適用できる。すなわち、HClなどでInGaAsP(InGaAsPエッチストップ層がInP基板上に形成されている)との選択エッチングによりInP基板を除去して、その除去部に誘電体ミラーをスパッタ等で形成することができる。

【0058】本実施例によりVCSELの材料、発振波長に依らない構造を提供することができる。

【0059】(第4実施例)本発明による第4の実施例は、図6に示す様に配線基板60としてVCSELの発振波長に対して透明な材料を使用した場合の実装形態に関わるものである。第1実施例で示した材料系では、Si基板を配線基板とした場合でも光を透過させることができるが吸収もあるため、配線基板としてはガラス等の透明体の方が望ましい。ヒートシンク効果を上げるためには、ダイヤモンドやサファイアが適している。このときのVCSEL構造は、図18の様に、エピタキシャル面から光を取り出すために電極6に窓を設ける必要がある。

【0060】本実施例のVCSELアレイは、図6に示

す様に、VCSEL基板1側はたとえば箱型のパッケージ61にボンディングして、コンパクトなパッケージングが可能である。パッケージ61はセラミック等で形成され、VCSEL基板1側の電極67はパッケージ61の内側に配された配線(破線65で示す)を介して、配線基板60の適当な配線68と接続される様に実装すればよい。VCSELアレイからの配線は、配線基板60を介して他の基板62、たとえば、Siからなる電子デバイス基板や電気回路が形成されているプリント基板と直接電氣的接合が取れる様に実装される。

【0061】この様な実装方法により、VCSELアレイと該VCSEL用のドライバをコンパクトに一体化して実装することができる。また、プロセッサなどを含む高機能電子回路を実装したプリント基板同士の接続を光で行う、いわゆるボード間光インターコネクション用の実装形態として応用できる。

【0062】(第5実施例)本実施例では、第1から第3の実施例のタイプで、配線基板30から他の部分への配線をワイヤボンディングではなく第4実施例の様にさらに他の基板71との電氣的接合で行うものである。VCSELアレイを1Cパッケージ等に収める場合、図7の様にVCSEL基板21の部分だけくり貫いた表面熱酸化Si基板71(73が表面熱酸化層)に、配線基板30の電極パッド12と対応する様な電極パッド72およびパッケージのピンまでの配線を形成し、今までの実施例と同様にハンダ等で電極パッド12、72同士及び配線基板30のパッケージのピンまでの配線とパッケージのピンの電氣的接合を得る。このとき、配線基板30は箱形のパッケージの底面にボンディングし、これに上記表面熱酸化Si基板71を蓋をする様に被せるのである。これによりワイヤボンディングの手間を大幅に省くことができ、生産性向上、低コスト化につながる。この例ではパッケージに収める例を述べたが、第4実施例の様に実装する他の配線基板71として、電気回路を形成したプリント基板等でもよい。

【0063】(第6実施例)本実施例では、図8の様に配線基板80そのものに電子デバイスを形成したものである。第1実施例と同様の配線基板80には、配線電極81(図1の12で示されるものに相当する)がそのままVCSEL駆動用のトランジスタ82のコレクタ電極あるいは配線を細くして形成した抵抗を介してエミッタ電極につながっており、その他の電極も配線基板80上でさらに他の電子デバイスや電源等と接続するために配線が形成されている。VCSEL駆動用のトランジスタ82の電極の接続の仕方は、VCSELがアノード共通かカソード共通かによって決まる。

【0064】この様に配線基板上にVCSEL駆動用デバイス等を形成すればコンパクトな光インタコネクション等に最適な光源装置が提供できる。

【0065】(第7実施例)本実施例では、図9の様に

電極パッド同士の接着時にハンダや接着剤(90で示す)が回り込んで起こるVCSEL基板21の端面のショートがVCSELの特性を劣化させることがあるので、これを回避するためにVCSEL基板21と配線基板30の接合後に、基板1からエピタキシャル面まで溝91をエッチングしたものである(溝91は、ここを境に極性が変わるノンドープの活性層3を越えていればよい)。VCSEL基板21の端面の影響は、図18の様に活性層およびその近傍層が全基板に互ってつながっている構造のときに、この層を介して漏れ電流が生じるために特に起きやすい。

【0066】また、図10に平面図を示すが、隣り合うVCSEL間の電流や熱、光のクロストークも無視できない場合があるため、各VCSELの間も格子状に同様の溝92、91のエッチング形成を行なってもよい。この場合、基板1側の電極は、エッチング後に溝92をポリミッド等で埋め込んで段差を緩和した後に配線93を形成する。この配線93はVCSELからの出射光の窓94を開けて形成している。図10の様な構造では、マトリックス配線としてVCSELを駆動することが可能であり、アレイ数が多くなった場合に特に有効になる。この場合、エピタキシャル層側の電極配線6も図2の様な完全な独立駆動型のものではなく、配線93の行方向に直交する列方向に並ぶVCSELを結んだものとなる。それに合わせて、配線基板30上の配線12も図10に示す様に列方向の両側にのみ設けられる。

【0067】もちろん第6実施例までの様な配線の仕方でもよい。この場合は、エピタキシャル層側の電極配線6は図2の様な完全な独立駆動型のものになっているので、発光部のみ窓を開ける様に基板1全面に基板側電極を形成すればよい。

【0068】ここまで挙げた実施例では、8×8の2次元VCSELアレイであったが、もちろんアレイ数には制限はなく、また1つのVCSELでもよい。また、面発光レーザアレイであったが、端面発光型のレーザアレイにも適用できる。この場合、端面発光型レーザは端面から基板面に平行的に光を出すので、典型的には端面発光型レーザが1次元的に並んで基板側電極は基板裏面全面に施されて共通電極となりエピタキシャル層側の電極は光出射方向にストライプ状に伸びて並んでおり、そして、これらストライプ状電極から電極パッドが夫々引き出されている。配線基板側は、該電極パッドに対応した電極パッドが形成されてこれらが更に配線基板の縁部の電極パッドに夫々引き出されている。

【0069】さらに、面型受光素子も同様の方法で作製、実装することができ、同一基板上にレーザアレイと光検出器アレイを備えた光送受信ユニットも提供できる。

【0070】(第8実施例)以下の実施例に、配線基板側で光の入出力が行なわれる例を説明する。図11は第

8実施例を示し、図1の符号と同じ符号は同一機能部を示しその部分の説明は省略する。

【0071】本実施例では、VCSEL部分の電極106は中心に5 μ m ϕ の窓を設けて、エピタキシャル層側からも光を取り出せる構造としている。一方、VCSEL基板を実装するサブマウントないし配線基板130としては、図12の様なパターンとした。すなわち、VCSELの各発光領域に対応する電極パッド106（これは図2と同様な配線になっている）に合う様に配線112が形成してある（本質的には図3の配線と同じである）。該サブマウント130は、図11に示す様に、ガラス基板110に拡散により屈折率分布を形成した平板マイクロレンズ111がアレイ化され、その裏面には配線112がCu/Ni/Auのメッキ等により形成してある。

【0072】電極106、112の接合によって形成された空隙115はそのままでもよいし、レーザ光に対して吸収、散乱の少ない樹脂などを充填してもよい。また、ガラス基板110の両面にはVCSELへの反射の影響を低減するために無反射コーティングを施してもよい。

【0073】本実施例では、VCSEL基板21と配線基板130のアライメントは、レーザを光らせながらマイクロレンズ111を通して出力光をモニタすることで精度良く行うことができる。このとき、レンズなしの配線基板でももちろんよいし、また、実装してからレーザを光らせて位置決めを行い、マイクロレンズ111を製作してもよい。さらに、上記の様に位置決めを行い、エッチングにより溝を形成してから、その溝にボールレンズ等をはめ込んで接着剤等で固定する方法でもよい。

【0074】VCSELアレイからの配線は、配線基板130を介して、他の基板117、たとえば、Siからなる電子デバイス基板や電気回路が形成されているプリント基板の配線116と直接電氣的接合が取れる様に実装される。

【0075】この様な実装方法により、VCSELアレイとそのレーザ光のコリメートレンズ、該VCSEL用のドライバをコンパクトに一体化して実装することができる。また、プロセッサなどを含む高機能電子回路を実装したプリント基板同士の接続を光で行う、いわゆるボード間光インターコネクション用の実装形態としても応用できる。

【0076】一方、VCSELアレイをICパッケージ等に収める場合、配線基板130のサイズをパッケージのキャビティーサイズに合わせ、配線基板の配線112をパッケージのピンまで接続できる様に形成してハンダ等で電氣的接合を得れば、配線112からのワイヤボンディングの手間が省ける。レーザ基板21をICパッケージの底面にダイボンディングする場合は、レーザ光は配線基板130側からのみ取り出せる（図6の説明も参

照）。

【0077】本実施例でも、VCSEL基板21と配線基板130を貼り合わせるときのアライメントが容易なため、歩留まり、生産性が向上する。また、VCSEL近傍での接合等の作業がないためにVCSELへの特性劣化などのダメージがない。本実施例では、GaAs基板上のInGaAs/GaAs系の例を示したが、もちろん、他の材料、波長、すなわち青色発光のGaN系、GaAs基板上の長波材料であるGaInNAsなどでも同様のことが実現できる。

【0078】（第9実施例）本発明による第9の実施例は、図13の様にVCSELからのレーザ光を結合させる光ファイバ143も集積化させたものである。その他の構造、すなわち、VCSEL構造、配線構造等は第8実施例と同様であるが、放熱のためのヒートシンク140をレーザ基板21側に設けた構造となっている。ヒートシンク140はAl₂O₃、AlNなどのセラミックが一般的で、図13の様に箱型にレーザ基板21を覆い、基板側の電極7はこのヒートシンク140の内縁伝いに配線基板130の対応する電極112と電氣的接合が取れる様に構成してある（図6の説明を参照）。

【0079】光ファイバ143を実装する場合には、図13の様に第3の基板141を配線基板130に貼り付けてガイド穴を形成して、ここに光ファイバ143を差し込むことで簡単に実装できる。このガイド穴の形成プロセスを図14を用いて説明する。

【0080】例えば、ファイバ支持基板141として500 μ m厚のSiウェハを用いる。図14(a)において、第8実施例の様な方法でVCSELアレイとマイクロレンズ付き配線基板130の実装を行い、さらにSi基板141を陽極接合法などで配線基板130に接合してレジスト150を塗布する。陽極接合は、配線基板130となるガラスに陰極、Si基板141に陽極を当てて電圧をかけることで接合する手段である。この接合にはポリイミド系やエポキシ系の接着剤を用いてもよい。

【0081】次に、図14(b)において、ホットマスク154を用いて各VCSELの位置に合う様なファイバガイド溝を形成するためのパターンニングを行う。このとき、プローブ151およびプローブ152を用いてVCSELに電流を流して発光させ、マイクロレンズ111を通してレジスト面150に到達した光153とホットマスクの開口部155（大きさは光153のスポット径の方が小さい）の位置関係を、CCDでモニタしながらアライメントすれば簡単に精度良いパターンニングができる。

【0082】最後に図14(c)において、RIBE（Reactive Ion Beam Etching）法で400 μ mほどエッチングを行い、さらにKOHによるSi（141）とガラス（130）の選択ウエットエッチングでガイド溝142を形成する。

【0083】この様に形成したガイド溝142に光ファイバ143（端面に無反射のための処理をしてあることが望ましい）を差し込んで、エポキシ系接着剤等で固定すれば簡単に高効率な光結合が得られ、生産性が向上し、低コスト化できる。本実施例では、ファイバ143を差し込む場合にレーザにダメージを与えることがないために、歩留まりが向上する。

【0084】本実施例では、マイクロレンズ111を備える構成になっているが、光ファイバ143がマルチモードファイバの場合は、VCSEL出射面から100 μ m程度離れていても充分結合できるため、配線基板としてのガラス基板130の厚さを100 μ m程度にすればレンズ111は無しでもよい。

【0085】（第10実施例）本発明による第10の実施例は、図15に示す構造の様に配線ガラス基板160にマイクロレンズ161および光ファイバ用ガイド溝162の両方を備える場合である。作製方法等は第8、第9の実施例と同様である。異なる点は、マイクロレンズ161が配線ガラス基板160のVCSELアレイに面した表面に形成されているので、マイクロレンズ161とVCSELの距離が近くなるため、焦点距離の短いレンズ161になっていることである。また、ファイバガイド溝162のエッチングにはウェットエッチング液としてフッ酸を用いるため、エッチングストップには注意を要する。しかし、ガラス基板160と他の基板との接合がないことでコストの低減が図れる。

【0086】（第11実施例）第8、第9、第10の実施例では、配線基板130、160にマイクロレンズ111、161があるために、基板材料として主にガラスを用いる例であった。一方、配線基板170として、図16の様にVCSELアレイ領域のみ（第8実施例のタイプのVCSELの場合、約1mm \square ）のホールエッチングを行ってレーザ光の取り出し口171を形成すれば、材料による限定はなくなる。例えば、配線基板170としてSi基板を用いて、KOHで基板のホールエッチングを行えば、レーザ波長がSiの吸収領域にあって光を取り出せる。しかも、マイクロレンズアレイ172や光ファイバテープ173を外形が配線基板170のホール部分171に一致する様に形成しておけば、これをホール部分171に嵌め込んで接着剤等で固定すれば簡単に実装できる。ボールレンズを嵌め込んでよい。その他の点は第9実施例などと同じである。

【0087】（第12実施例）本実施例では、拡散により形成した平板マイクロレンズではなく、図17の様に配線基板180にフレネルレンズ181を用いたものである。その他の構成等は第8実施例などと同様である。

【0088】フレネルレンズの作製方法も、ファイバガイド溝の形成の様にVCSELを発光させてセルフアライン法でパターンニングすることで行うことができる。平板マイクロレンズに比べると、フレネルレンズ181は

効率的には低下するが、作製が容易であり、Si基板を用いることもできるため、低コスト化が図れる。例えば、配線基板180の厚さが350 μ m、すなわちレンズ181からVCSELまでの距離が約360 μ mの場合、波長によって設計する必要があるが、直径100 μ m、深さ0.5 μ m程度のリング状溝で形成される3ゾーンのフレネルレンズで集光可能である。

【0089】第8乃至第12の実施例で説明してきた実施例でも、8 \times 8の2次元VCSELアレイであったが、もちろんアレイ数には制限はなく1つのVCSELでもよい。また、端面発光型のレーザアレイにも適用できる（この場合、レーザからの光を基板垂直方向に向けるミラーなどをレーザ端面近くに設ける必要がある）。さらに、面型受光素子も同様の方法で作製、実装することができ、同一基板上にレーザアレイと光検出器アレイを備えた光送受信ユニットも提供できる。

【0090】ところで、今まで説明してきた実施例において、レーザなどの光機能素子のカソード、アノードに対応する電極は、光機能素子基板の表と裏で構成する例を述べてきたが、エッチングにより段差を形成することで（この段差は、エッチングする側から活性層より深い層に達するまで形成され、ここにエッチングにより現れた側壁に絶縁膜を形成してから電極配線を施して活性層より深い層の極性の電極を取り出す）、どちらか一方に両極を備えることもできる。

【0091】また、今まで説明してきたVCSELアレイは、空間伝送で使用する場合には、ボード間光インターコネクション、光書き込みによる記録すなわちレーザビームプリンタ、CD-ROM、光磁気ディスク等の光源として用いることができる。また、光ファイバに結合して大容量光並列伝送の光源装置として用いることもできる。

【0092】

【発明の効果】以上説明した様に、本発明によって、光機能素子を該素子の基板以外の別基板を用いて実装する場合の歩留まり、生産性を上げることができる。

【図面の簡単な説明】

【図1】図1は本発明による第1実施例のVCSELアレイの断面図である。

【図2】図2は本発明によるVCSELアレイ基板の平面図である。

【図3】図3は本発明によるVCSELアレイを接合する配線基板の平面図である。

【図4】図4は本発明による第2実施例のVCSELアレイの断面図である。

【図5】図5は本発明による第3実施例のVCSELアレイの断面図である。

【図6】図6は本発明による第4実施例のVCSELアレイモジュールの断面図である。

【図7】図7は本発明による第5実施例のVCSELア

レイの断面図である。

【図 8】図 8 は本発明による第 6 実施例の電子デバイス集積化 VCSEL アレイの断面図である。

【図 9】図 9 は本発明による第 7 実施例の VCSEL アレイの断面図である。

【図 10】図 10 は本発明による第 7 実施例の VCSEL アレイの平面図である。

【図 11】図 11 は本発明による第 8 実施例の VCSEL アレイの断面図である。

【図 12】図 12 は本発明による VCSEL アレイを接合する配線基板の平面図である。

【図 13】図 13 は本発明による第 9 実施例の VCSEL アレイモジュールの断面図である。

【図 14】図 14 は本発明による第 9 実施例の VCSEL アレイモジュールの作製方法を示す図である。

【図 15】図 15 は本発明による第 10 実施例の VCSEL アレイモジュールの断面図である。

【図 16】図 16 は本発明による第 11 実施例の VCSEL アレイモジュールの断面図である。

【図 17】図 17 は本発明による第 12 実施例の VCSEL アレイモジュールの断面図である。

【図 18】図 18 は従来の VCSEL の断面構造図である。

【図 19】図 19 は配線基板兼ヒートシンク基板付き VCSEL の従来例を示す図である。

【図 20】図 20 は電子回路基板付き VCSEL の従来例を示す図である。

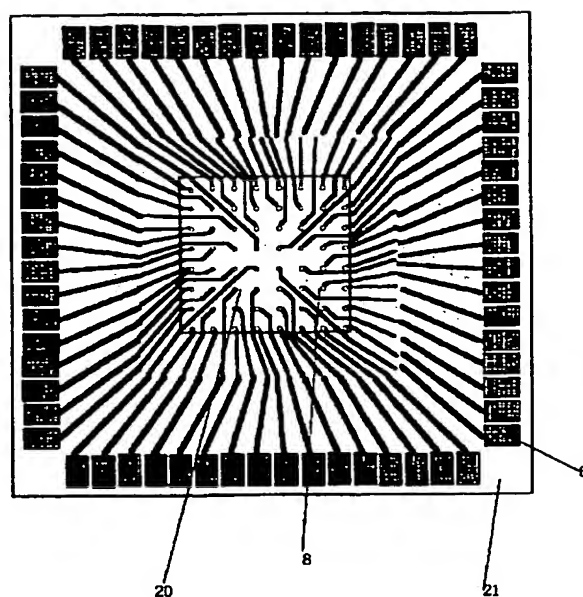
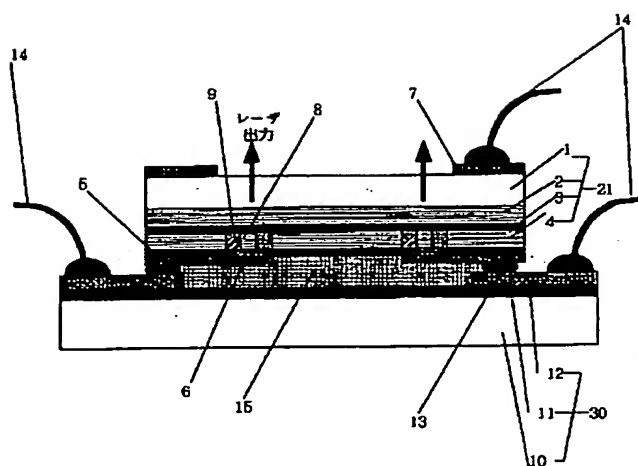
【図 21】図 21 は VCSEL アレイの配線基板への実装形態の従来例を示す図である。

【符号の説明】

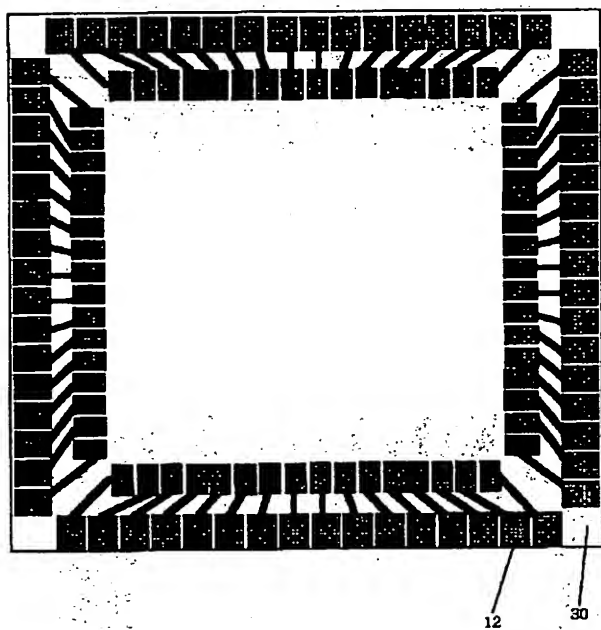
1、51、1001、1112 レーザ用基板
 2、4、1002、1004 半導体多層膜ミラー
 3、53、1003、1115 活性層
 5、11、73、1005、1208 絶縁膜
 6、106 レーザ側電極兼配線
 7、67、1008 レーザ基板側電極
 8、1007 レーザ機能部
 9、1009 埋め込み領域
 10、71、110、160、170、180 配線用基板
 12、68、72、81、112 配線基板側電極兼配線
 13 接合用金属
 14 ボンディングワイヤ
 15、115 樹脂
 20 VCSEL アレイ領域
 21 レーザ基板
 30、130 配線基板
 40 放熱用金属

50 基板を除去した領域
 60 透明な配線基板
 61、140 パッケージ
 62、117、201 電子回路基板
 65 パッケージ内壁配線
 80 電子デバイス基板
 82、1204 レーザ駆動用トランジスタ
 90 ハンダのはい上がり
 91、92 分離溝
 93 マトリックス電極
 94、1010 電極の窓領域
 111、161 平板マイクロレンズ
 116 電子回路基板用電極
 141 ファイバ固定用基板
 142、162、1209、1303 ファイバ用ガイド穴
 143、1210 光ファイバ
 150 ホトレジスト
 151、152 電流プローブ
 153、1311 光ビーム
 154 ホトマスク
 155 ホトマスク開口部
 171 配線基板開口部
 172 マイクロレンズアレイ
 173、1306 光ファイバテープ
 181 フレネルレンズ
 1006、1111 レーザ電極
 1011 レーザ共振器
 1110 樹脂モールド体
 1113、1117 反射膜
 1114、1116 クラッド層
 1118 電流ブロック層
 1119 キャップ層
 1120 パッケージ窓
 1121 パッケージ窓側電極
 1202 発光チップ
 1203、1302 面発光レーザ
 1205 エミッタ電極
 1206 ベース電極
 1207 アノード電極
 1211 接着剤
 1301 半導体基板
 1304 配線パターン
 1305 支持基板
 1307 コア
 1308 クラッド
 1309 光ファイバ心線
 1310 被覆材
 1312 露出長

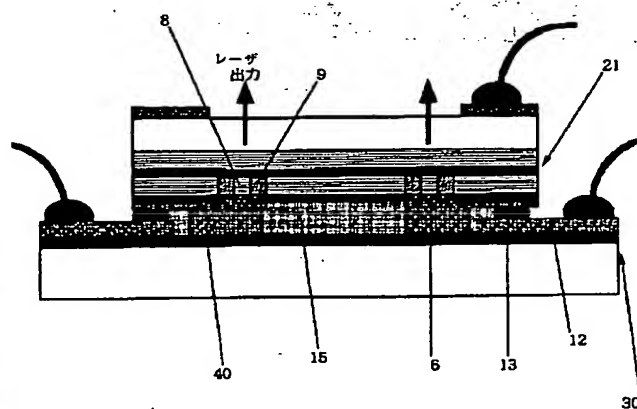
【圖 2】



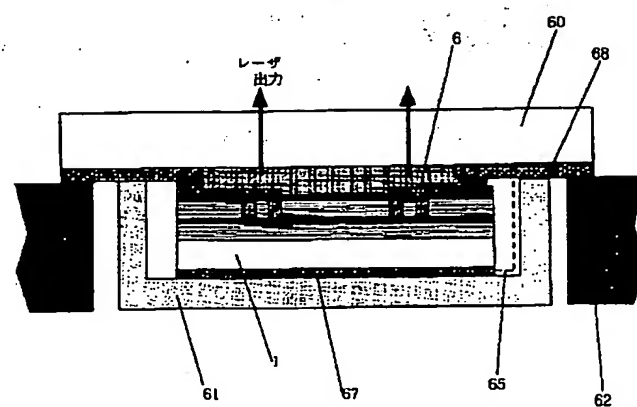
【圖 3】



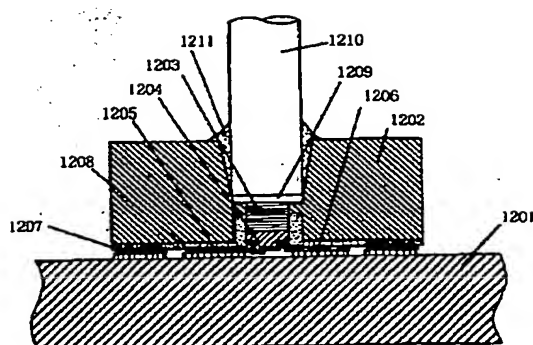
【圖 4】



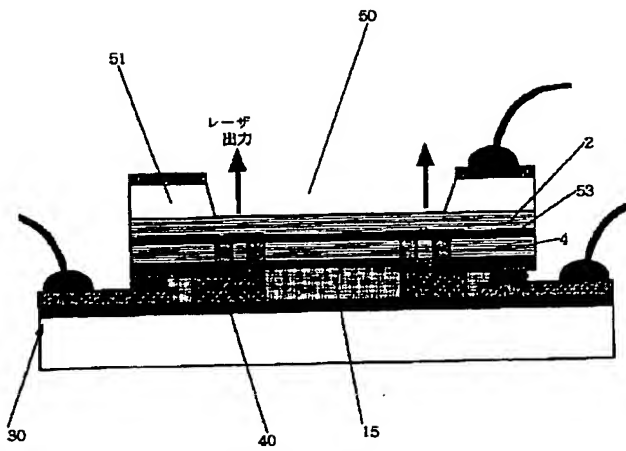
【图6】



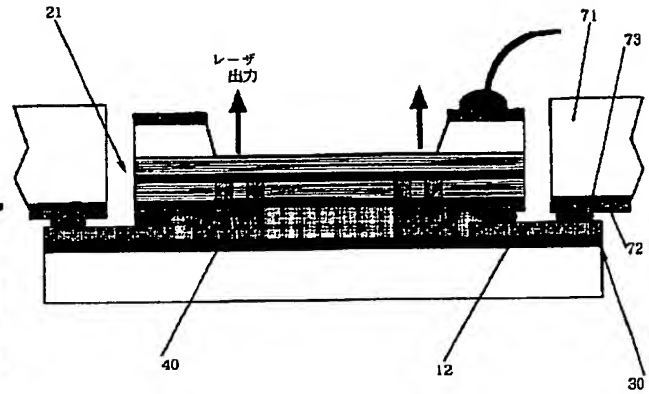
【図 20】



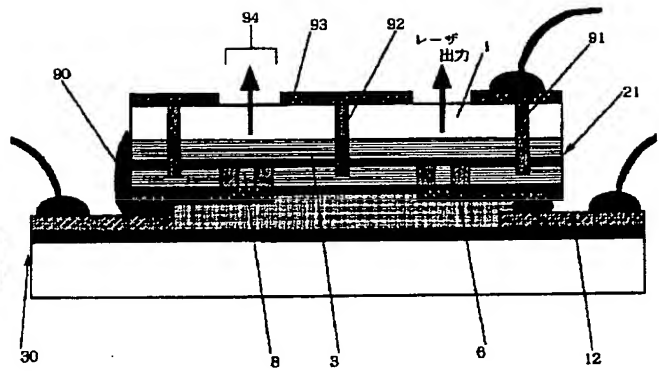
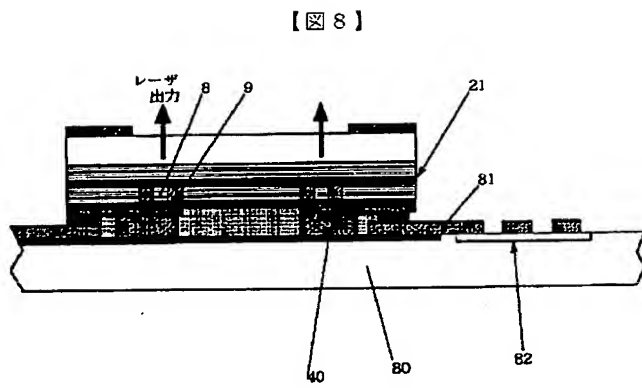
【図 5】



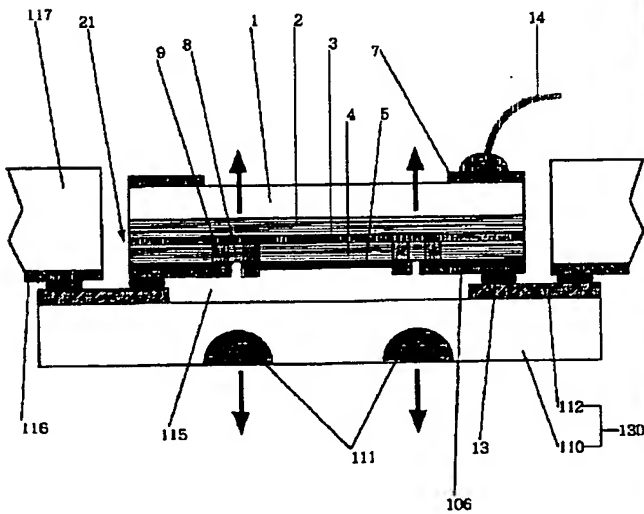
【図 7】



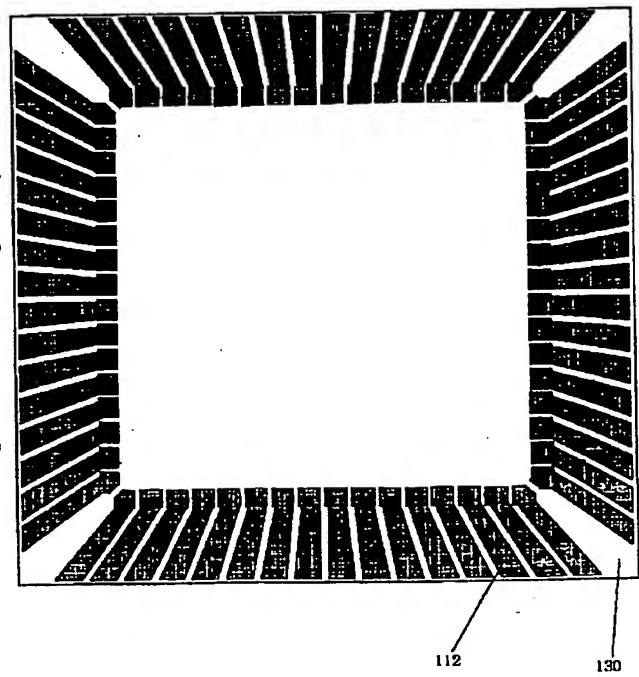
【図 9】



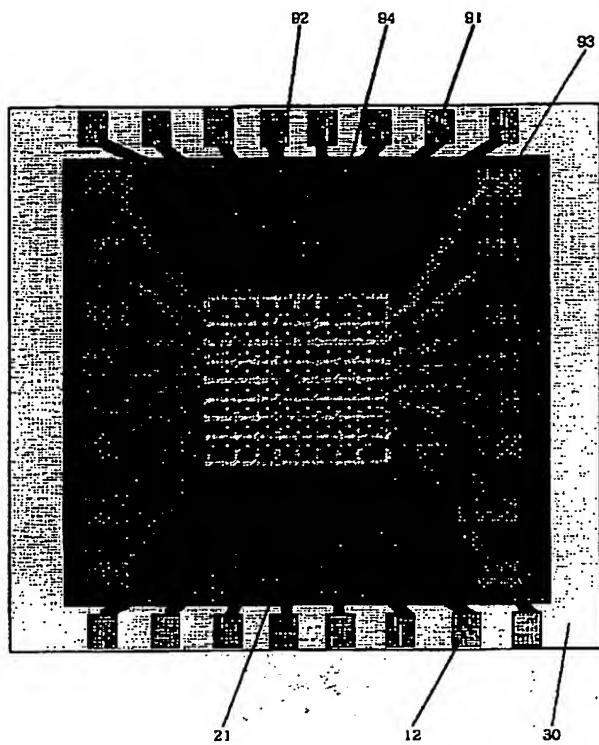
【図 11】



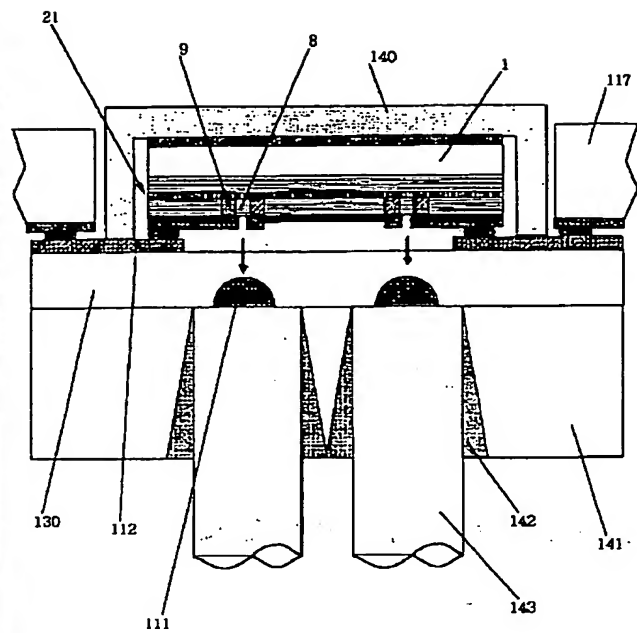
【図 12】



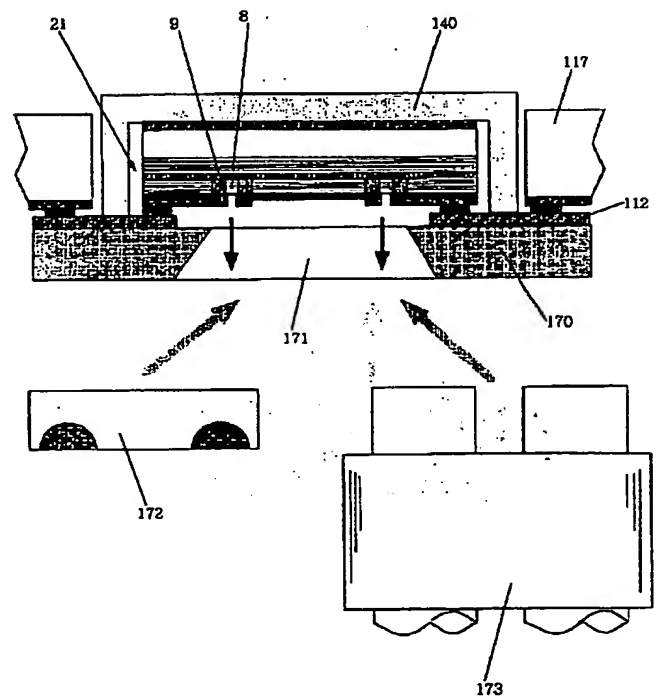
【図10】



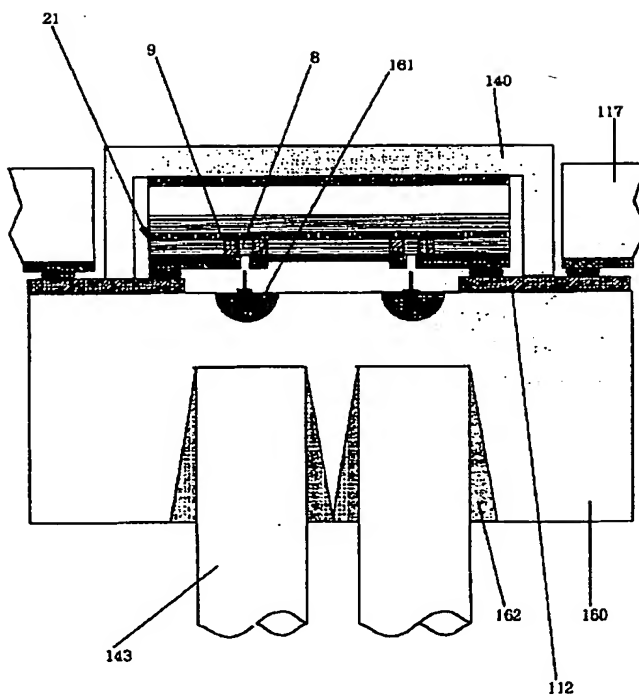
【図13】



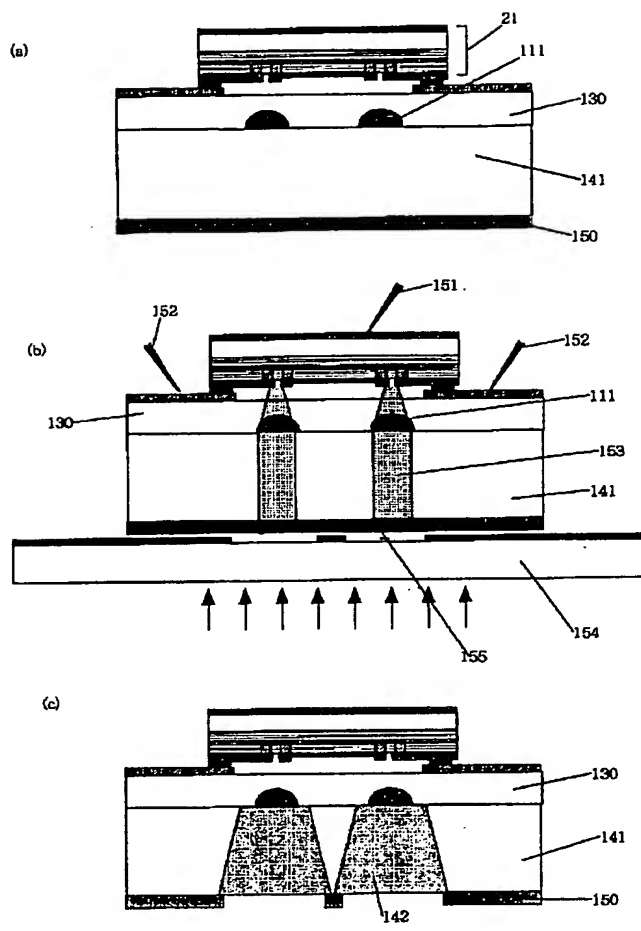
【図16】



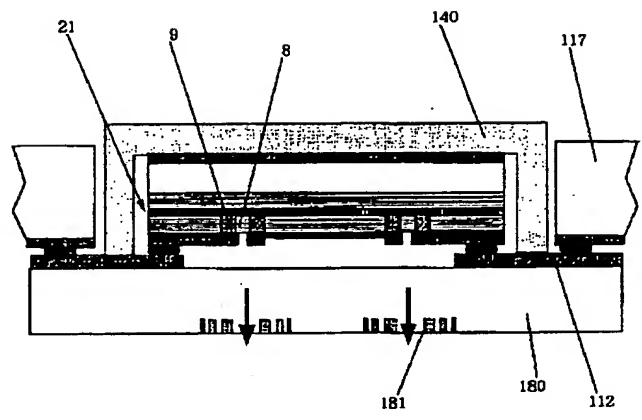
【図15】



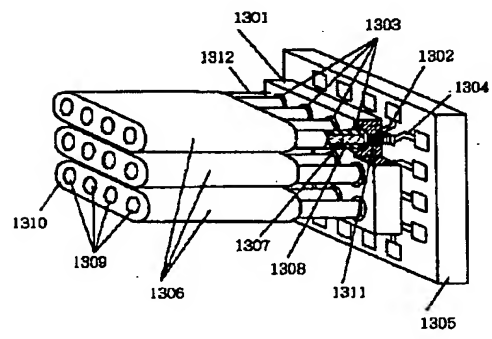
【図14】



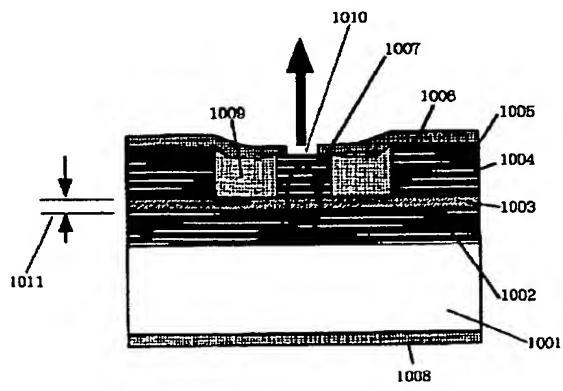
【図17】



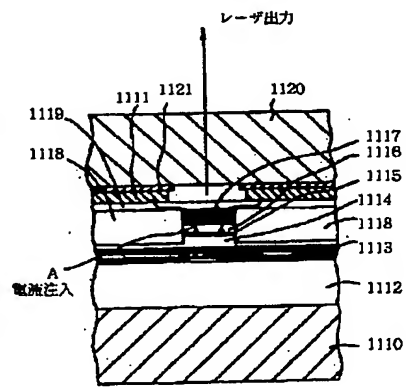
【図21】



【図18】



【図19】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)